



(19)

(11) Publication number: 58015274 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 56113236

(51) Intl. Cl.: H01L 29/78 H01L 27/12

(22) Application date: 20.07.81

(30) Priority:

(43) Date of application publication: 28.01.83

(84) Designated contracting states:

(71) Applicant: TOSHIBA CORP

(72) Inventor: TAGUCHI SHINJI

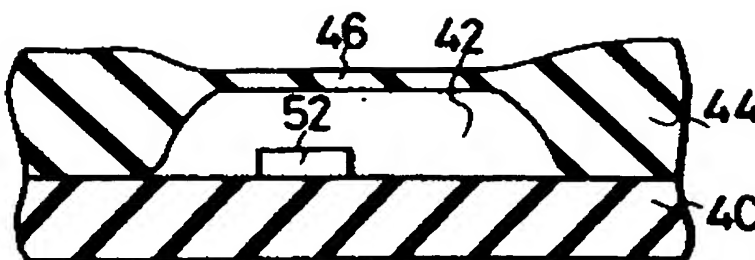
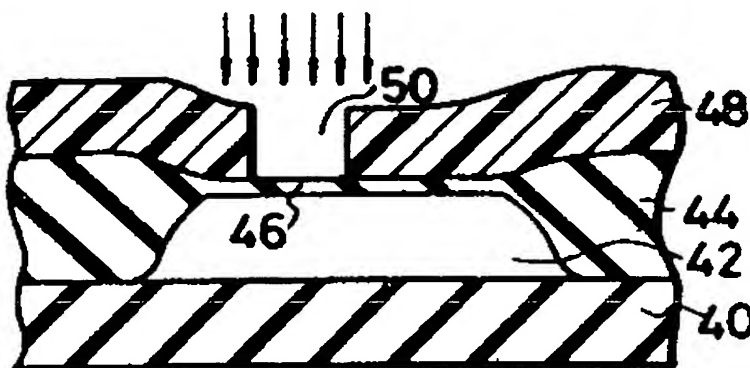
(74) Representative:

## (54) MOS SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(57) Abstract:

**PURPOSE:** To obtain an MOS semiconductor which does not generate substrate floating effect without decreasing the integration by disordering at least a part of crystallinity of a p-n junction except the surface of a semiconductor region of the p-n junction formed between a substrate region and an impurity region.

**CONSTITUTION:** A single crystal silicon region 42 and a field oxidized film 44 are formed on an insulating substrate 40, and an SiO<sub>2</sub> layer 46 is further formed. After a resist 48 is then accumulated, it is selectively etched to form a hole 50 reaching the layer 46. Thereafter, Si ions are injected under the conditions of accelerating voltage of 190keV and dosage of  $1 \times 10^{16}/\text{cm}^2$ . Under these conditions, projected resin RP is 2,952Å; and is disposed at the boundary between a silicon and a sapphire. Accordingly, a crystalline deterioration region 52 is formed in the boundary between a single crystal silicon region 42 and an insulating substrate 40 of the sapphire. In the region 52, the lattice defects exist more conspicuously in the single crystal silicon region 42 around the periphery, and the crystal orientation is disordered.



COPYRIGHT: (C)1983,JPO&amp;Japio

**Partial English Translation of**  
**LAID OPEN unexamined**  
**JAPANESE PATENT APPLICATION**

**Publication No. 58-15274**

From line 1 of the lower right column on page 3 to line 6 of the lower left column on page 4

Figures 5a to 5e illustrate steps of fabricating the SOS/MOS FET according to the present invention. As shown in Figure 5a, after a single crystal silicon layer is formed on an insulating substrate 40 made of sapphire and is patterned, field-oxidization is performed to form a single crystal silicon region 42 having a thickness of  $0.3 \mu\text{m}$  and a field oxide film 44 having a thickness of  $6700 \text{ \AA}$  are formed. A  $\text{SiO}_2$  layer 46 having  $500 \text{ \AA}$  to be as a gate oxide film is formed on the single crystal silicon region 42.

Next, as shown in Figure 5b, after a resist 48 is deposited, a part of the resist, which is located on from a source formation region to a portion where a substrate region is to be formed, is selectively etched, to form a hole 50 reaching the  $\text{SiO}_2$  layer 46. Further, Si ions are implanted under the conditions that an acceleration voltage is  $190 \text{ keV}$  and a dose amount is  $1 \times 10^{16}/\text{cm}^2$ . A projected range  $R_p$  is  $2952 \text{ \AA}$  under the condition and it is located at an interface between silicon and sapphire. Accordingly, as shown in Figure 5c, a crystallinity degraded region 52 is formed at the interface between the single crystal silicon region 42 and the insulating

substrate 40 made of sapphire. In the crystallinity degraded region 52, more lattice defects appear than in the single crystal silicon region 42 therearound, and a crystal orientation is disordered.

Next, after the resist 48 is removed, polysilicon is deposited on the entire face thereof and is patterned to form a gate electrode 54. In addition, the  $\text{SiO}_2$  layer 46 is etched to form a gate oxide film 56 (Figure 5d). Next, as shown in Figure 5e, an impurity is heavily diffused into the single crystal silicon layer 42 to form a source region 58 and a drain region 60. A silicon region, which is sandwiched between the source region 58 and the drain region 60, becomes as a substrate region 62 where a channel is to be formed.

The crystallinity degraded region 52 in which Si ions is implanted is extended into the source region 58 and the substrate region 62, and the p-n junction 64 is formed in the crystallinity degraded region 52.

The crystallinity degraded region 52 thus formed becomes amorphous or of polycrystal silicon at forming source/drain regions, and the p-n junction, which is formed at the interface between the source region 58 and the substrate region 62, is electrically degraded. Further, the orientation is poor and a relatively large amount of leak current is easy to flow.

In the above embodiment, such an acceleration voltage for Si ions implantation is employed so that the projected range  $R_p$  is formed at the interface between the silicon region 42 and the insulating substrate 40 made of sapphires. The object thereof is to make only the vicinity of the interface between the silicon region 42 and the insulating substrate 40

amorphous or of polycrystal silicon and to keep the portion around the surface of the silicon region 42 monocrystalline. When ions are implanted under the above conditions, an optimum state can be obtained since no change is caused in a region where a channel is to be formed on the surface portion of the silicon region 42. However, in the case where the polycrystal silicon surface of the silicon region 42 results in only a slight reduction of  $g_m$ , which involves an insignificant problem, it is possible to employ an arbitrary acceleration voltage.

When the amount of implanted ions is too small, no influence thereof is observed. On the other hand, with the amount is approximately  $1 \times 10^{15}/\text{cm}^2$ , the crystal state is disrupted once but then, becomes single crystal by the thermal treatment performed thereafter. Therefore, the amount should be set to be  $5 \times 10^{15}/\text{cm}^2$  or more.

Additionally, it is preferable that the crystallinity degraded region is extended into a substrate neutral region to be formed in the substrate region in order to effectively eliminate a floating substrate effect.

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭58—15274

⑤ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
27/12  
// H 01 L 29/04

識別記号

庁内整理番号  
7377—5 F  
8122—5 F

⑬ 公開 昭和58年(1983)1月28日

発明の数 3  
審査請求 未請求

(全 6 頁)

⑥ MOS型半導体装置とその製造方法

京芝浦電気株式会社総合研究所  
内

① 特 願 昭56—113236  
② 出 願 昭56(1981)7月20日  
⑦ 発 明 者 田口信治  
川崎市幸区小向東芝町1番地東

④ 出 願 人 東京芝浦電気株式会社  
川崎市幸区堀川町72番地  
⑧ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

MOS型半導体装置とその製造方法

2. 特許請求の範囲

(1) 絶縁層上に形成され、かつ第1導電型の一对の不純物領域と該不純物領域に挟まれた第2導電型不純物を有する基板領域とからなる半導体領域より構成されたMOS型半導体装置において、該不純物領域と該基板領域で構成されるp-n接合部のうちで半導体領域の表面部を除くp-n接合部の少なくとも一部の結晶性が乱れていることを特徴とするMOS型半導体装置。

(2) 結晶性が乱されている部分は該基板領域に形成される基板中性領域に繋がっていることを特徴とする特許請求の範囲第(1)項記載のMOS型半導体装置。

(3) 結晶性が乱されている部分は該絶縁層に接して形成されていることを特徴とする特許請求の範囲第(2)項記載のMOS型半導体装置。

(4) 結晶性が乱されている部分は多結晶状態

であることを特徴とする特許請求の範囲第(1)項ないし第(3)項のいずれかに記載のMOS型半導体装置。

(5) 結晶性が乱されている部分はアモルファス状態であることを特徴とする特許請求の範囲第(1)項ないし第(3)項のいずれかに記載のMOS型半導体装置。

(6) 絶縁層上に半導体領域を形成する工程と、該半導体領域にイオンを注入し半導体領域の結晶性を乱す工程と、該結晶性が乱された領域内に不純物領域と基板領域とのp-n接合が形成されるように第1導電型の不純物領域と第2導電型の基板領域とを形成する工程とからなることを特徴とするMOS型半導体装置の製造方法。

(7) 結晶性の乱された領域が絶縁層に接して形成されるようなエネルギーでイオンを注入することを特徴とする特許請求の範囲第(6)項記載のMOS型半導体装置の製造方法。

(8) 半導体領域を構成する原子のイオンを  $5 \times 10^{15} / \text{cm}^2$  以上のドーザ量で注入することを

特徴とする特許請求の範囲第(6)項または第(7)項記載のMOS型半導体装置の製造方法。

(9) 該半導体領域はシリコンで構成されることを特徴とする特許請求の範囲第(6)項ないし第(8)項のいずれかに記載のMOS型半導体装置の製造方法。

(10) 絶縁層上に多結晶半導体領域を形成する工程と、該多結晶半導体領域上及び該多結晶半導体領域の形成されていない絶縁層上に単結晶半導体領域を形成する工程と、該多結晶半導体領域内に不純物領域と基板領域とのp-n接合が形成されるように第1導電型の不純物領域と第2導電型の基板領域とを形成する工程とからなることを特徴とするMOS型半導体装置の製造方法。

(11) 該半導体領域はシリコンで構成されることを特徴とする特許請求の範囲第(10)項記載のMOS型半導体装置の製造方法。

### 3. 発明の詳細な説明

本発明は絶縁層上に形成されたMOS型電界効果

のゲート酸化膜の厚み  $d_{ox}$  は  $530\text{\AA}$  と  $710\text{\AA}$  である。チャネル幅を  $W$ 、チャネル長を  $L$  としたとき、トランジスタ寸法が  $(W/L)_{eff} = 50\mu\text{m}/50\mu\text{m}$  である長チャネルトランジスタの場合は実線で、 $(W/L)_{eff} = 50\mu\text{m}/1.5\mu\text{m}$  である短チャネルトランジスタの場合は破線で示されている。また閾値電圧  $V_T$  はドレイン電流  $I_D$  が  $1 \times 10^{-5}\text{A}$  のときのゲート電圧  $V_G$  で定義している。ところでグラフAは高濃度基板を使用した場合であり、長チャネル、短チャネルトランジスタともドレイン電圧  $V_D$  が約3V以上のとき急激な閾値電圧  $V_T$  の低下がみられる。この現象が基板浮遊効果である。一方グラフBは低濃度基板を使用した場合であり、長チャネルトランジスタでは閾値電圧  $V_T$  の変化は殆どなく、短チャネルトランジスタでは徐々に閾値電圧  $V_T$  が低下している。しかしながら高濃度基板を有するトランジスタにみられる急激な低下は発生しない。この現象はショートチャネル効果により発生するものであつて、基板浮遊効果によるものではない。以上の現象

果トランジスタを有する半導体装置とその製造方法に関する。

絶縁基板上に形成されたMOS型電界効果トランジスタMOS FETにより大規模集積回路LSI等を構成すれば、半導体基板上に形成されたMOS FETによりLSIを構成するよりも高連性、高集積度を達成できる。しかしながら更に素子の微細化を達成するに際し、絶縁基板上に形成されたMOS FETに固有的に生じる基板浮遊効果が問題視されている。この場合基板とはソース領域とドレイン領域によつて挟まれたチャネルが形成される半導体基板を意味し、絶縁基板を意味しない。基板浮遊効果には大きく分けてDC的效果とAC的效果が存在する。以下この基板浮遊効果をSOS(Silicon on Sapphire)構造のMOS FETを用いて説明する。

第1図は基板浮遊効果のうち閾値電圧  $V_T$  の低下が発生するDC的效果を説明するものであり、n-チャネルトランジスタの閾値電圧  $V_T$  とドレイン電圧  $V_D$  との関係を示す。このトランジスタ

から次のように結論される。すなわち半導体素子が微細化され短チャネルになるとショートチャネル効果によつて閾値電圧  $V_T$  が低下するが、これを補うために高濃度基板を使用すればそのときまさに基板浮遊効果が現われ易い。

上記現象は次のようなメカニズムで発生すると考えられている。第2図に示すように絶縁基板10上に成長されたチャネル12が形成される基板領域14のうちでドレイン領域16に近接する高電界領域18内に電離衝突によつて電子-正孔対が発生すると、電子20はそのままドレイン領域16に達するが、正孔22は基板中性領域24に達して、そこに蓄積されることになる。この正孔を消滅させるにはソース領域26から基板中性領域24に電子を注入する必要があるが、ソース領域26と基板領域14間に形成されたp-n接合による電位障壁によつて上記電子の注入は妨げられている。そのため基板領域14の電位は上昇し上記電位障壁は低下する。結果としてソース領域26からの電子

によつて基板中性領域24に溜つた過剰の正孔が打消されるまで基板領域14の電位は上昇することになる。このことは正のバックゲートバイアスが印加されたのと同等の効果を有し、従つてMOS FETの閾値電圧 $V_T$ は低下してしまふ。

次に第3図を参照して基板浮遊効果のAC的效果を説明する。AC的效果はトランジスタのスイッチングスピードの低下となつて現われる。第3図はリングオシレータを用いて調べた。

CMOS/SOSインバータの1段当りの伝搬遅延時間と電源電圧 $V_{DD}$ との関係を示す。このリングオシレータはnチャネルトランジスタ、pチャネルトランジスタの基板領域に接続された電極が外部に取り出された構造になつているので、基板電位を外部から制御することができる。また基板領域は高濃度基板から形成されている。インバータの寸法はnチャネル、pチャネルとも $(W/L)_{eff} = 1.0 \mu m / 1.8 \mu m$ であり、ゲート電極は $MoSi_2$ によつて形成されている。pチャネルトランジスタの基板領域には基板電極を介して

電源電圧 $V_{DD}$  (pチャネルトランジスタのソース電圧)が供給されているのでその基板電圧 $V_{subp}$ は $V_{DD}$ である。そしてnチャネルトランジスタの基板電圧 $V_{subn}$ を基板電極を介して0V、-1V、-2Vあるいは“開放”(open)にして伝搬遅延時間 $t_{pd}$ を調査した。基板電圧 $V_{subn}$ が0V、-1V、-2Vの場合は実験で、“開放”の場合は破線で示されている。基板電極が“開放”のときは絶縁基板上に形成されたMOS FETの通常の使用状態である。この場合には基板領域が約-1Vにバイアスされたのと等価になつていゝ。この現象はトランジスタのスイッチングに際し基板領域の電子が基板領域から逃げきれずに溜るというチャージポンプ現象によつて説明できる。基板電位 $V_{subn}$ が0V、すなわち基板電極がnチャネルトランジスタのソースに接続された場合に伝搬遅延時間 $t_{pd}$ は小さくなり、従つてスピードが速い。なお低濃度基板を使用した場合には殆ど基板電位によるスピードの変化はないが、微細化が進むと必然的に基板濃度

を高くしなければならぬので絶縁基板上に形成されたMOS FETには基板浮遊効果が生じ易くなる。結果として上記のような不都合が生じる。ところで上記のような基板浮遊効果を防止するために第4図に示されるようにゲート電極28の下に存在する基板領域14の端部に接続する延出部30を形成し、この延出部30をアルミ配線32によつてソース領域26と接続する方法がある。しかしながら上記手段によれば余分にパターン面積が付加され、従つて集積度がそれだけ低下するという不都合がある。

本発明は上記点に鑑みなされたもので、基板領域と不純物領域で形成されるp-n接合部のうちで半導体領域の表面部を除くp-n接合部の少なくとも一部の結晶性を乱すことによつて、集積度を低下させることなく基板浮遊効果の発生しないMOS型半導体装置を提供するものである。

以下、図面を参照して本発明の一実施例を詳細に説明する。

第5a図から第5e図は本発明に係るSOS/MOS FETを製作する工程を示す。第5a図に示すようにサファイアからなる絶縁基板40上に単結晶シリコン層を形成し、パターンニングした後、フィールド酸化して厚さ0.3  $\mu m$ の単結晶シリコン領域42を厚さ6700 Åのフィールド酸化膜44を形成する。更に単結晶シリコン領域42上にゲート酸化膜になる厚さ500 Åの $SiO_2$ 層46を形成する。

次に第5b図に示すようにレジスト48を堆積した後ソース形成領域と基板領域予定部にまたがるようにレジスト48を選択的にエッチングして $SiO_2$ 層46に至る開孔50を形成する。その後加速電圧190 keV、ドーズ量 $1 \times 10^{16} / cm^2$ の条件でSiをイオン注入する。この条件はプロジェクテッドレンジ(projected range)  $R_p$ は2952 Åであり、シリコンとサファイアの界面に位置している。従つて第5c図に示すように単結晶シリコン領域42とサファイアからなる絶縁基板40との界面に結晶性劣化領域52が形成され

る。結晶性劣化領域52では格子欠陥がその周囲の単結晶シリコン領域42より多く、また結晶方位が乱れている。

次にレジスト48を除去した後全面にポリシリコンを堆積しパターニングしてゲート電極54を形成し、更に $\text{SiO}_2$ 層46をエッチングしてゲート酸化膜56を形成する(第5d図)。この後第5e図に示すように単結晶シリコン領域42に高濃度の不純物を拡散してソース領域58とドレイン領域60を形成する。ソース領域58とドレイン領域60で挟まれたシリコン領域はチャネルが形成される基板領域62となる。

シリコンイオンが注入された結晶性劣化領域52はソース領域58と基板領域62に繋がり、結晶性劣化領域52内にはp-n接合部64が形成されている。

このように形成された結晶性劣化領域52はソース、ドレイン領域形成時にアモルファス状態または多結晶シリコン状態となり、ソース領

域58と基板領域62の境に形成されるp-n接合は電気的に非常に劣化したものとなる。また方向性が少なく、比較的多くのリーク電流が流れ易い。

上記実施例ではプロジエクトドレンシ $R_p$ がシリコン領域42とサファイアからなる絶縁基板40との界面になるようにSiイオンの注入加速電圧を選んだが、これはシリコン領域42と絶縁基板40との界面近傍のみをアモルファス化または多結晶シリコン化し、シリコン領域42の表面近傍はもとの単結晶状態を維持させるためである。このような条件でイオン注入すればシリコン領域42の表面のチャネルが形成される領域には全く変化が生じないので最適な状態となる。しかしシリコン領域42の表面まで多結晶シリコン化しても $\theta_m$ が少し低下する程度でありそれがあまり問題とならない場合には、加速電圧は任意に選ぶことも可能である。

またSiイオンの注入量はあまり少なすぎると何の影響も現われないし、 $1 \times 10^{15}/\text{cm}^2$ 程度で

は一旦結晶状態が乱されてもその後の熱処理で単結晶化してしまうので少なくとも $5 \times 10^{15}/\text{cm}^2$ 以上必要である。

更に基板浮遊効果を効果的に除去するためには結晶性劣化領域は基板領域に形成される基板中性領域に繋がっている方が好ましい。

また第6図はSOS/MOSの平面図であるが、Siイオンを打ち込む領域52はソース領域58と基板領域62とが接するp-n接合部64をチャネル幅方向に全体を含まなくても、第6図のようにその一部を含むようにしても同様の効果が得られる。

次に第7a図ないし第7c図を参照して本発明に係る別の実施例を説明する。第7a図に示すようにサファイアからなる絶縁基板40上にポリシリコン層66を堆積した後、第7b図に示すように多結晶シリコン層66を選択的にエッチングしてソース領域と基板領域とにまたがる予定領域に多結晶シリコンパターン68を形成する。次に第7c図に示すように絶縁基板

40及び多結晶シリコンパターン68上に単結晶シリコン層70を所定の膜厚だけエピタキシャル成長させる。その後は通常のSOS/MOSと同じ工程により本発明に係るSOS/MOSを形成する。この方法では多結晶シリコンがp-n接合に対してリーキーであるのでソース領域と基板領域とを同電位にすることができる。

上記実施例ではSOS構造のMOS型半導体装置について説明したが、これに限らずバルク-Siウエーハ上に $\text{SiO}_2$ からなる絶縁層を形成し、その上に形成されたMOS型半導体装置に対しても適用できる。更に結果的にSOI(Silicon on Insulator)構造となるものであれば種々の絶縁物を使用できる。たとえば絶縁物がスピネルである場合も考えられる。またnチャネルトランジスタについて説明してきたが、pチャネルトランジスタにも同様に適用できる。

以上説明してきたように、本発明によれば集積度を低下させることなく、絶縁層上に形成されたMOS型半導体装置に特有の基板浮遊効果が



防止され、微細化されたMOS型半導体装置とその製造方法を提供できる。

#### 4. 図面の簡単な説明

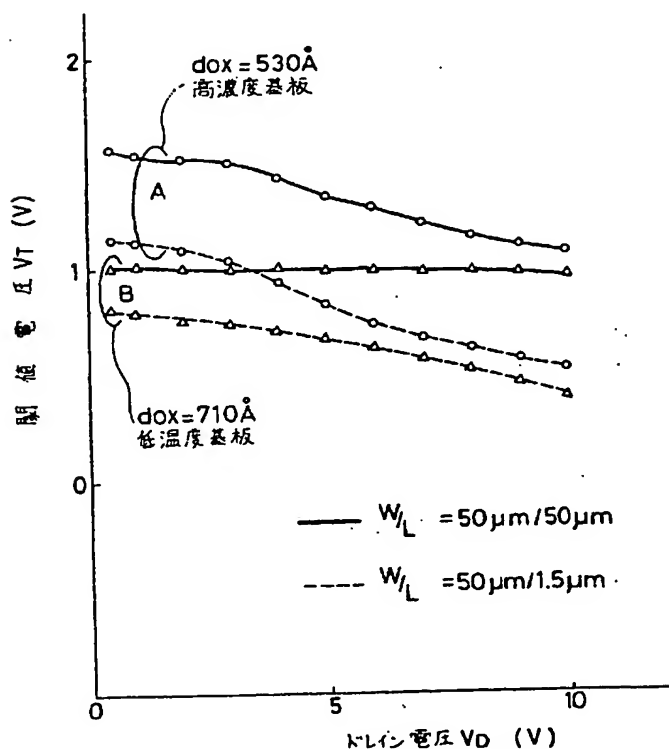
第1図は、SOS/MOSトランジスタの閾値電圧 $V_T$ のドレイン電圧 $V_D$ に対する依存性を示すグラフ、第2図はDC的基板浮遊効果を説明するためのSOS/MOSトランジスタの断面図、第3図はSOS/MOSトランジスタの伝搬遅延時間 $t_{pd}$ の電源電圧 $V_{DD}$ に対する依存性を示すグラフ、第4図は従来のSOS/MOSトランジスタの平面図、第5・ないし第5・図は本発明に係るSOS/MOSトランジスタを製造する工程を順次示す断面図、第6図は本発明に係るSOS/MOSトランジスタの変形例を示す平面図、第7・ないし第7・図は本発明に係る別のSOS/MOSトランジスタを製造する工程を順次示す断面図である。

40…絶縁基板、42…単結晶シリコン領域、44…フィールド酸化膜、46… $SiO_2$ 層、48…レジスト、50…開口、52…結晶性劣化領域、54…ゲート電極、56…ゲート酸化膜、58…

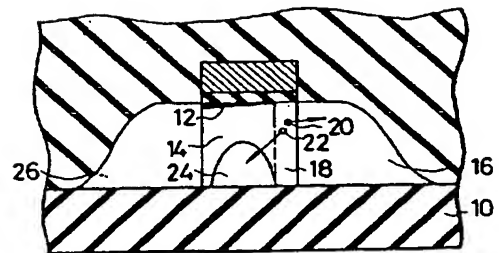
ソース領域、60…ドレイン領域、62…基板領域、64…p-n接合部、66…多結晶シリコン層、68…多結晶シリコンパターンの、70…単結晶シリコン層。

出願人代理人 弁理士 鈴 江 武 彦

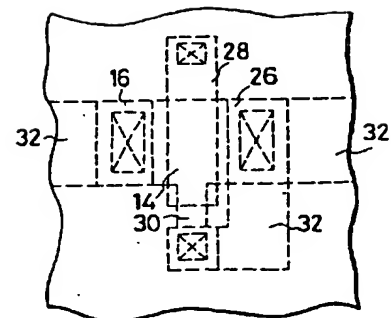
第1図



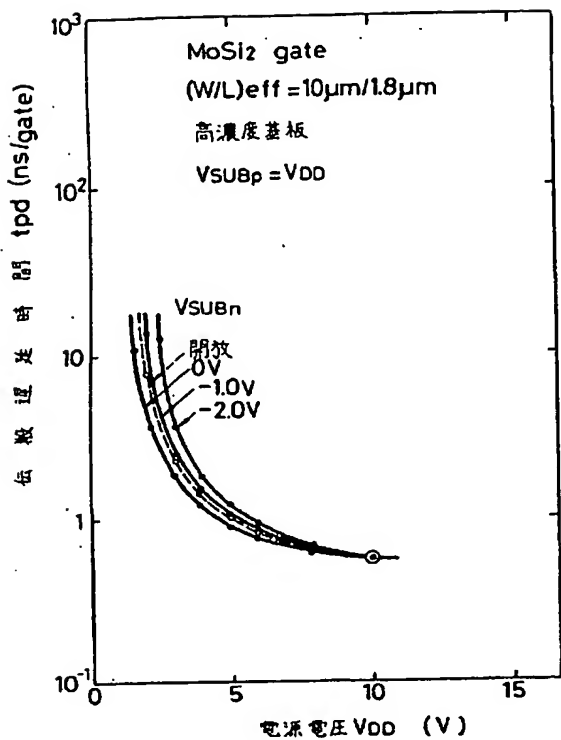
第2図



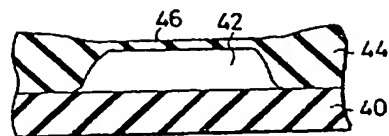
第4図



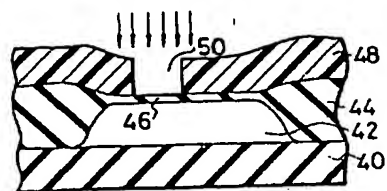
第3図



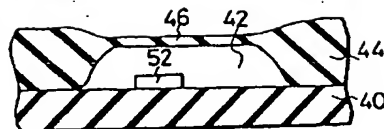
第5a図



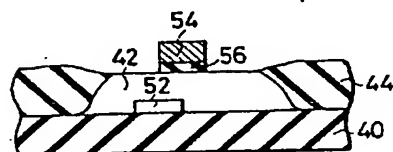
第5b図



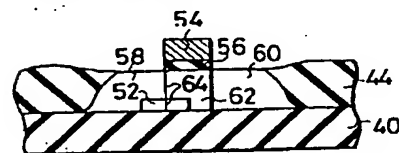
第5c図



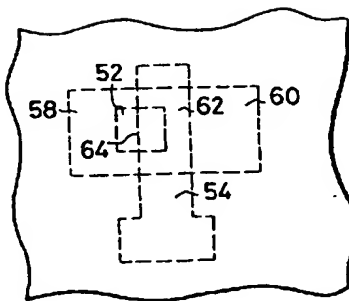
第5d図



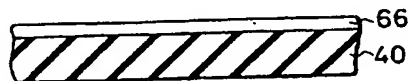
第5e図



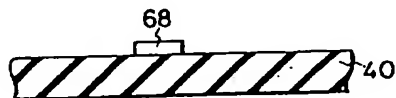
第6図



第7a図



第7b図



第7c図

